

DIALOG(R)File 347:JAPIO
(c) 1999 JPO & JAPIO. All rts. reserv.

00303317
LUMINANCE ADJUSTING CIRCUIT

PUB. NO.: 53 -105317 [JP 53105317 A]
PUBLISHED: September 13, 1978 (19780913)
INVENTOR(s): MIZUSHIMA TADASHI
APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 52-019245 [JP 7719245]
FILED: February 25, 1977 (19770225)
INTL CLASS: [2] H04N-005/66; G06K-015/18; H04N-009/12
JAPIO CLASS: 44.6 (COMMUNICATION -- Television); 44.9 (COMMUNICATION --
Other); 45.3 (INFORMATION PROCESSING -- Input Output Units)
JOURNAL: Section: E, Section No. 71, Vol. 02, No. 137, Pg. 8544,
November 15, 1978 (19781115)

ABSTRACT

PURPOSE: To enable the luminance control without injuring the number of luminance gradation for the displayed picture, by constituting the distinguishing signal generating circuit so that it can increase or decrease the display illuminating period corresponding to each bit level with a suitable ratio.

Best Available Copy

公開特許公報

昭53-105317

③Int. Cl. ²	識別記号	④日本分類	庁内整理番号	⑤公開	昭和53年(1978)9月13日
H 04 N 5/66		97(5) F 31	6246-59		
G 06 K 15/18		97(5) L 0	7423-59	発明の数	1
H 04 N 9/12		97(7) B 4	2116-56	審査請求	有

(全 11 頁)

⑥輝度調整回路

地 株式会社日立製作所中央研究所内

⑦特 願 昭52-19245

⑧出 願 人 株式会社日立製作所

⑨出 願 昭52(1977)2月25日

東京都千代田区丸の内一丁目5番1号

⑩発 明 者 水嶋正

⑪代 理 人 弁理士 薄田利幸

国分寺市東恋ヶ窪1丁目280番

明 細 書

発明の名称 輝度調整回路

特許請求の範囲

1. 個々に2値安定な動作条件を有する複数の発光素子の2次元的配列からなる平面表示パネルの表示輝度を制御する手段として、複数の区分された発光期間の組み合わせによつて輝度階調を実現する一方、上記区分をされた発光期間の各々の時間幅を互に相関を持つて増減することにより、表示画像の輝度の制御を行なうことを特徴とする輝度調整回路。

発明の詳細な説明

(1) 発明の利用分野

本発明は記憶機能をもつ多数の発光素子よりなる平面表示パネルを駆動する方法に関する。特に赤、緑、青などの発光色を呈する3種類の発光素子群の発光強度を各群毎に制御する方法に関する。

(2) 従来技術

一般に平面表示パネルは文字、数字、記号、線画および階調付画像を表示する目的に用いられる。

特に発光素子が記憶機能(発光および非発光の2安定状態)をもつ平面表示パネル(以後「メモリ型表示パネル」は(1)表示輝度が高い、(2)電子計算機などの画像出力端末として使用する場合、装置に必要なメモリの容量を大幅に削減できる、などの特徴を備えている。さて、メモリ型表示パネルにテレビ画像のような階調付画像を表示する場合、周囲の明るさに応じて表示画像の輝度レベルを変える必要がある。またカラー画像を表示する場合は、赤、緑、青3種類の発光素子の発光輝度を制御して画像の白バランスをとる必要もある。このような目的に対し、従来は発光素子に加える電圧または電流の大きさを制御して所望の輝度レベルを得ていたが、一般に輝度調整に必要な電圧、電流の変化幅に対し、記憶特性を示す発光素子の電圧、電流領域が十分に広くないために、これを安定に動作させることができなかった。

(3) 発明の目的

本発明の目的は上記した従来方式の欠点を解消し、メモリ型表示パネルにて画像に忠実な色彩

を有する画像を周囲の明るさに対して最適な輝度レベルにて表示することのできる駆動方式を提供することにある。

(4) 発明の臨括説明

上記目的を達成するために、本発明の駆動方式では、輝度階調付与のために区分された各発光期間の時間幅を互いに相互関係を保持しつつ増減して輝度レベルの調整を行なう。

メモリー型表示パネルに階調付画像を表示する場合、表示画像の輝度は通常発光素子の発光時間によつて制御される。第1図は個々の発光素子の発光時間を映像信号VSによつて制御する方法の1例で、「フレーム内時間分割法」と呼ばれるものである(特開昭48-31094)。この場合、メモリー型表示パネル1は10本の水平電極(Y_1-Y_{10})と10本の垂直電極(X_1-X_{10})およびこれら電極に接続している100個の発光素子から構成されている。VSは3ビットの符号化映像信号で通常駆動回路に時系列的に加わる。

符号化された映像信号VSの第1ビットの信号

は直ちに10個の出力に並列変換され、第2の水平走査期間 H_2 で第1ビットの表示期間を制御する。第2ビットの信号は H_2 まで遅延された後 H_3 から H_4 までの第2ビットの表示を制御する。同様に第3ビットの信号は H_4 から H_{10} までの第3ビットの表示を制御する。 Y_1, Y_2, \dots の発光素子については順次1Hずつ遅れたタイミングで同様の操作が行なわれる。本発明では、各ビット単位に対応する表示発光期間を適当な比率で増減することにより、表示画像の輝度階調数を損なうことなく輝度制御を行なう。

第2図は本発明の輝度制御の方法をメモリー型表示パネルに印加する電圧波形によつて説明する図である。メモリー型表示パネルはX・Y電極間に点灯パルスが印加された時発光を開始し、Y電極に消灯パルスが印加されるまで持続する。したがって発光の時間幅は点灯パルスから消灯パルスまでの時間間隔によつて定まる。いま、符号化映像信号の第1、第2および第3ビットに対応する発光期間をそれぞれ DP_1, DP_2 および DP_3 とする

とき、消灯パルスの時刻をそれぞれ $\Delta DP_1, \Delta DP_2$ および ΔDP_3 だけ増減すれば、発光輝度は

$$L_n \cdot (\Delta DP_1 + \Delta DP_2 + \Delta DP_3)$$

増減する。 L_n は単位時間幅当りの発光輝度である。

ここで、各消灯パルス時刻の変化幅を、

$$\Delta DP_1 = k \cdot DP_1$$

$$\Delta DP_2 = k \cdot DP_2$$

$$\Delta DP_3 = k \cdot DP_3$$

のように設定すれば各ビット間の輝度比率は不変である。 k は定数である。

なお、消灯パルスの時間を固定して、点灯パルスの時刻を変化させても同様の操作が可能である。

(5) 実施例

次に実施例によつて本発明を詳細に説明する。

実施例 1

第3図は本発明の第1の実施例を示す図である。図の(a)はメモリー型表示パネル駆動装置のうち、本発明に係る部分の回路構成である。また図の(b)はこの部分の主な信号のタイミング図である。

以下この回路の動作を説明する。

いま基準の状態で、第1、第2および第3ビットに対応する発光期間 DP_1, DP_2, DP_3 がそれぞれ1H、2H、4Hであるとする。したがってこの状態では点灯パルスの1H後、2H後および4H後に消灯パルスが加わる。この消灯パルスの位置を前後に移動させれば表示輝度を変化させることができる。

消灯基準信号 eb_1, eb_2, eb_3 はそれぞれ第1、第2、第3ビットの消灯パルスの基準状態の位置のほぼ中心に設定されている。これらの信号はR₁の積分回路に加わるので、シュミットトリガ回路2-1、2-2、2-3の入力端での波形はC₁、C₂、C₃の一方の端子に共通に接続されたバイアス電源 E_b はこの充放電波形に直流バイアス電圧 V_b を与える。 V_b を増減すると、充放電波形が立上がり始めてからシュミットトリガ回路2-1、2-2、2-3の閾電圧 V_{TH} に達するまでの時間が変化する。 V_b を V_{TH} に近づける(V_b を上げる)とこの時間は短

かくなり過ぎる(V_0 を下げる)と長くなる。このとき時間変化の割合は充放電波形の傾きに比例するので、時定数 C_1R_1 、 C_2R_2 、 C_3R_3 の比率を1:2:4に設定すれば、第1、第2、第3ビットに対応する時間変化もほぼ1:2:4になる。すなわち、シュミットトリカで整形され信号の前後が消去信号の位置に対応する。

シュミットトリカで整形された各ビット毎の信号は論理和ゲート3で1系列の信号にまとめられ、さらにフリップフロップ4でクロックパルスCPとの同期をとられる。消灯パルスはCPの周期を1単位として移動することになる。この例ではCPの周期は1Hの $\frac{1}{3}$ である。

フリップフロップ4の出力は C_4R_4 で積分されて前例だけが取り出され、シフトレジスタ5の入力信号になる。シフトレジスタ5は各Y電極に対応する消灯パルス $e_{p1} \sim e_{p10}$ を発生する。消灯パルス e_p の時刻は隣接Y電極間で1Hだけ遅延させる必要があるが、CPの周期は $\frac{1}{3}$ Hであるから、シフトレジスタ5の繰出出力間には3bitの遅延

容量が必要である。一般にCPの周期を $\frac{1}{m}$ H(m は正の整数)とすると、1電極1本当りの遅延容量は m ビットになる。 m を大きくすると微細な輝度調整ができる一方、シフトレジスタ5のメモリ容量は増大する。

上の実施例で、充放電波形を C_1R_1 でつくつていたが、 R_1 を定電流素子で置き換えれば、各ビット間の時間変化比率はより正確になる。この場合は3つの定電流素子の出力電流を1:2:4の比率で設定する。定電流素子としては定電流ダイオード、トランジスタのエミッタホロウ接続などが考えられる。

また、 C_4R_4 の積分回路をCPの周期よりも小さい幅のパルスが発生する単安定マルチバイブレータで置き換えれば動作は更に安定すると思われる。

以上述べたようにバイアス電圧 V_0 を変えることにより、輝度階調特性に影響を及ぼすことなく、メモリ型表示パネルの表示輝度を変化させることができる。

実施例 2

カラー画像を表示するメモリ型表示パネルの発光色配列が第4図に示すように、横ストライプ状であれば、第3図の回路を3系統設けることにより、カラー画像の白バランス調整を行なうことができる。

すなわち、CR積分回路以下シフトレジスタまでの回路を3系統設け、それぞれを緑(G)、青(B)、赤(R)の発光素子が連なるY電極群に対応させる。一方バイアス回路には、第5図に示すように、バイアス電源 E_0 の他に、G、B、Rの各系統に対応するポテンシオメータ、 VR_G 、 VR_B 、 VR_R を設ける。各系統のバイアス電圧(V_0)は、 VR_G 、 VR_B 、 VR_R によつて、独立的变化させられるので、G、B、Rの各輝度も、独立的变化する。したがつて、G、B、R間の表示輝度比率を自由に定めることができる。すなわち、白バランス調整が可能である。

また、 E_0 によつてバイアス電圧を変えると、各系統のバイアス電圧は一定比率のまま変わるので、白バランスに影響を及ぼすことなく、カラー

画像の輝度調整を行なうことができる。

(6) まとめ

以上述べたように、本発明の輝度調整回路を用いれば、輝度階調特性を損なうことなく、表示輝度および白バランスの調整を行なうことができるので、メモリ型表示パネルでの階調画像表示に極めて有効な手段である。

なお、本実施例では簡単のために3ビットの符号化映像信号について述べたが、量子化単位数が多いと多い映像信号でも本発明が適用可能であることは言うまでもない。また、本実施例では発光期間の増減を消灯パルス時刻を推移させて行なう場合について述べたが、消灯パルス時刻を固定し、点灯パルス時刻を推移させても本実施例とまったく同じ効果を生むことができ、これも本発明の範囲に含まれる。

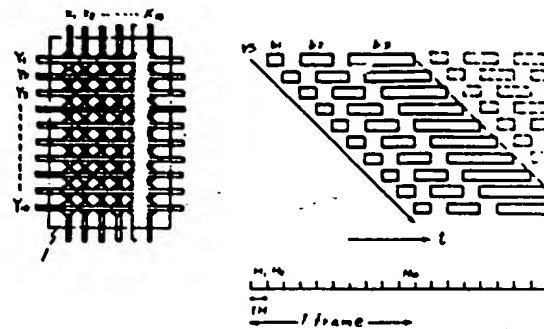
図面の簡単な説明

第1図はメモリ型表示パネルの階調駆動の原理を説明する図、第2図は本発明輝度調整回路の輝度制御方法を説明する図、第3図は本発明輝度調

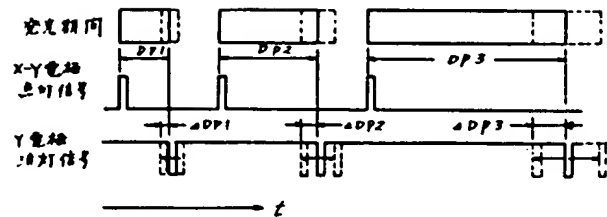
要回路の一実施例、およびその主要信号のタイミング図、第4図は第2の実施例「白バランス調整回路」の適用を可能とするメモリカラー表示パネルの発光色配列を示す図、第5図は第2の実施例の主要部分を示す図である。

代理人 弁理士 森田利幸

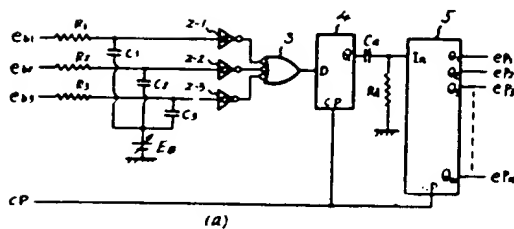
第1図



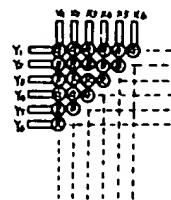
第2図



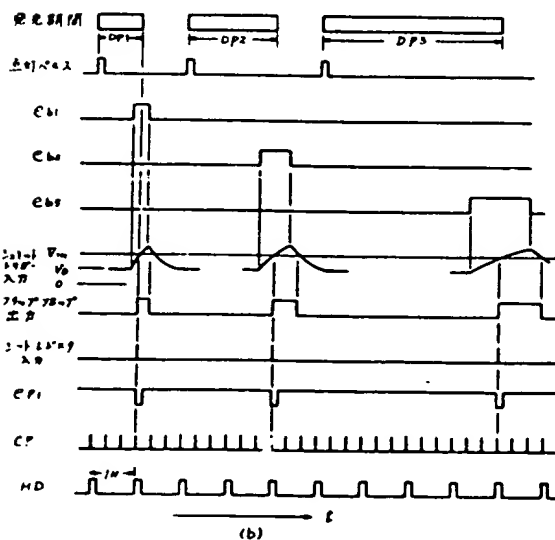
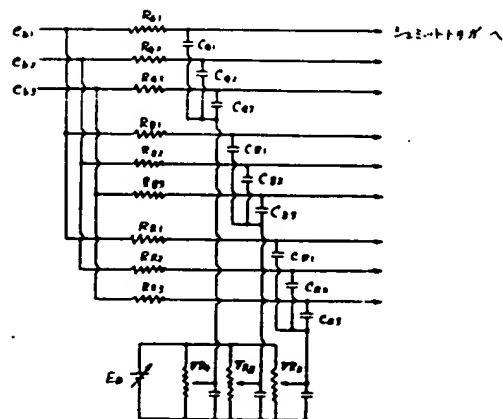
第3図



第4図



第5図



特許庁長官 殿

事件の表示

昭和53年特許明細 192435号

発明の名称

輝度調整回路

補正をする者

特許出願人

株式会社日立製作所 日立製作所

代理人

東京千代田区丸の内一丁目5番1号

株式会社日立製作所内 法律部 77-2111 (474)

〒100 (7227) 弁護士 澤田 利 幸

補正の対象

原審の発明の名称の欄、明細書および図面

補正の内容

1、発明の名称を「表示パネル駆動装置」に変更する。

2、別紙の通り明細書全文及び全図面を補正する。

形成に整形するためのシュミットトリガ回路と、上記シュミットトリガ回路からの複数の矩形波を1本の矩形波消灯信号出力として取り出すための論理とゲート回路と、上記矩形波消灯信号の時刻をクロックパルスに同期化するためのフリップフロップ回路と、消灯信号の幅を指定するための幅指定回路と、消灯信号を配分し所定の時刻に出力させるためのシフトレジスタとで構成したことを特徴とする表示パネル駆動装置。

3、特許請求の範囲第2項記載の表示パネル駆動装置において、幅指定回路をコンデンサと抵抗からなる微分回路で構成したことを特徴とする表示パネル駆動装置。

4、特許請求の範囲第2項記載の表示パネル駆動装置において、幅指定回路を単安定マルチバイブレータで構成したことを特徴とする表示パネル駆動装置。

5、特許請求の範囲第2項乃至第4項記載の表示パネル駆動装置において、輝度調整回路を構成する微分回路以下シフトレジスタまでの各回路を

発明の名称 表示パネル駆動装置

特許請求の範囲

1、個々に2値安定な動作条件を有する複数の発光素子の2次元的配列からなる表示パネルの輝度階調付与を、複数の区分された発光期間の組み合わせによって行なう表示パネル駆動装置において、上記複数の区分された発光期間の各々の時間幅を互に相関を持って増減する手段を付加し、階調付表示画像の輝度制御を行なうことを特徴とする輝度調整回路を備えた表示パネル駆動装置。

2、特許請求の範囲第1項記載の表示パネル駆動装置において、輝度調整回路を、複数の区分された発光期間のそれぞれの長さを制御する複数の消灯基準信号を入力し上記複数の区分された発光期間長に対応したパルス幅をもつ複数の消灯基準幅変調信号を出力する幅変調回路と、上記複数の消灯基準幅変調信号の各々を三角波に変換する微分回路と、これら三角波に直流バイアス電圧を与えるためのバイアス電源回路と、上記三角波を矩

波回路設け、カラー画像表示を行なうことを特徴とする表示パネル駆動装置。

発明の詳細な説明

本発明は記憶機能をもつ多数の発光素子よりなる表示パネルを駆動する装置に関する。特に輝度階調付表示画像の輝度制御に関する。

一般に平面表示パネルは文字、数字、記号、画面および階調付画像を表示する目的に用いられる。特に発光素子が記憶機能（発光および非発光の2安定状態）をもつ平面表示パネル（以後「メモリ型表示パネル」と言う。）は表示輝度が高い、①電子計算機などの画像出力端末として使用する場合、装置に必要メモリの容量を大幅に削減できる、などの特徴を備えている。さて、メモリ型表示パネルにテレビ画像のような階調付画像を表示する場合、周囲の明るさに応じて表示画像の輝度レベルを定める必要がある。またカラー画像を表示する場合は、赤、緑、青3種類の発光素子の発光輝度を制御して画像の白バランスをとる必要もある。このような目的に対し、従来は発光素

子に加える電圧または電流の大きさを制御して所望の輝度レベルを得ていたが、一般に輝度調整に必要な電圧、電流の変化幅に対し、記憶特性を示す発光素子の電圧、電流減衰が十分に広くないために、これを安定に動作させることができなかった。

またもう一つ別的手段として、映像信号のアナログ信号段階でその振幅を調整することにより表示画像の輝度調整を行なうものもあるが、この方法では表示できる輝度階調数が減少してしまう欠点があった。

本発明の第1の目的は上記した従来方式の欠点を解消し、メモリ型表示パネルにて原画に忠実な画像を階調の明るさに対して最適な輝度レベルにて表示することのできる駆動手段を提供することにある。

本発明の第2の目的はカラー画像を表示するメモリ型表示パネルの表示輝度および画像の白バランスの調整ができる駆動手段を提供することである。

ト必要とされるが、図面並に説明を簡略化するためここでは模式的にメモリ型表示パネル1は10本の水平電極($Y_1 - Y_{10}$)と n 本の垂直電極($X_1 - X_n$)およびこれら電極に接続している10 \times n 個の発光素子から構成されているものとし、映像信号は3ビットの符号化信号として説明する(以下本願発明の説明においても同様とする。)が、実用レベルの拡張は容易に同一の技術手段をもって実現可能である。

第1図において映像信号入力はA-D変換回路2で3ビット b_1, b_2, b_3 の符号化映像信号に変換され、それぞれ遅延回路3を通過して、シフトレジスタ、論理和(or)回路を主要構成要素とする直並変換回路4に入力される。ここでそれぞれ3ビットの信号が時系列の配列から n 個の出力に並列変換され、Xマルチプレクサ5に加わり、X保持・点灯波形発生器6からの信号をスイッチングし、その出力が増幅器7を通過してメモリ型表示パネル1の垂直電極 X_1, X_2, \dots, X_n に加えられる。一方水平電極 Y_1, Y_2, \dots, Y_{10}

上記目的を達成するために、本発明の駆動手段は、輝度階調付与手段には記憶装置のメモリ量が少なくすみかつ発光素子の応答速度もそれほど早いことが要求されない特徴を有するものとして本願出願人が先に提案した「フレーム内時間分割法」(特開昭48-31094号:階調付平面表示装置)を用い、複数に区分された発光期間の組み合わせによって輝度階調を実現させ、その区分された各発光期間の時間幅を互いに相互関係を保持しつつ増減して輝度レベルの調整が行える機能を行なうものである。

本発明の理解を容易にするために、先ずフレーム内時間分割法を用いた階調付平面表示装置の構成と動作につき説明する。

第1図はテレビ画像をメモリ型表示パネル上に表示するための駆動装置の主要構成部分を示すブロック図である。

一般にテレビ画像表示にはパネルの発光素子(画素に相当)は約30万個(カラー画像の場合にはその3倍)、映像信号の輝度階調は6-7ビッ

トに加える信号は、Y点灯タイミングパルス発生器8からの点灯信号 $w p_1, w p_2, \dots, w p_{10}$ と消灯信号発生回路9からの信号 $e p_1, e p_2, \dots, e p_{10}$

によりYマルチプレクサ10でY保持・点灯・消灯波形発生器11からの信号をスイッチングし、その出力を増幅器12で増幅して作られる。

なお、第1図における13はタイミングパルス発生回路で、映像信号に含まれる水平同期信号HD、垂直同期信号VDを入力とし、駆動装置の各構成回路で必要とするクロックパルスCP、および点灯基準信号wb、消灯基準信号eb等を発生させる機能を備えたものである(詳細は特開昭48-31094号参照。)

メモリ型表示パネル1の各発光素子はX、Y電極間に点灯パルスが印加された時発光を開始し、Y電極に消灯パルスが印加されるまで持続するような動作を行なう。各発光素子の点・滅により形成される表示画像の輝度階調は上記各発光素子の発光期間(点灯パルスから消灯パルスまでの時間幅)を制御することにより付与される。

第2図はメモリ型表示パネルを時間分割表示により輝度階調表示させる原理説明図で、発光期間制御のタイムチャートを示すものである。第1図の駆動装置に関連づけて以下簡略に説明する。なお図において第1図と同一符号のものは同一または同等部分を示すものとして説明を省略する(以下各図においても同じ。)。また、1フレームは10水平走査で構成されるものとし、1水平走査期間をHで表示する。

第2図において、第1の水平走査期間H₁のアナログ映像信号VSは水平電極Y₁上の各発光素子に対応しており、H₂のVSはY₂上の各発光素子に、以下同様H₁₀のVSはY₁₀上の各発光素子に対応している。ここではまずY₁上の発光素子に対応するH₁のVSのみ着目する。H₁のアナログ映像信号VSはA-D変換回路2によって逐次3ビットの符号化映像信号b₁、b₂、b₃に変換される。符号化映像信号の第1ビットb₁の信号は遅延回路3で遅延されることなく直ちに(H₁で)直並列変換回路4に書き込

まれ、第2の水平走査期間H₂でn個の並列な信号として読み出される。n個の並列出力は直ちにXマルチプレクサ5に加わり、そのn個の出力を保持波形から書き込み波形に切り替える。このことにより、第1ビットb₁に対応する発光の開始が可能となる。符号化映像信号の第2ビットb₂の信号は遅延回路3でH₁、H₂の2H期間遅延された後、H₂で直並列変換回路4に書き込まれてH₂で並列出力となって読み出される。並列出力は直ちにXマルチプレクサ5の出力を書き込み波形に切り替えてH₂で第2ビットb₂の発光(H₂~H₃)を開始させる。符号化映像信号の第3ビットb₃の信号は遅延回路3でH₁からH₃までの5H期間遅延された後H₃に直並列変換回路4に加わり、その並列出力はH₃でXマルチプレクサ5の出力を書き込み波形に切り替えて第3ビットb₃の発光(H₃~H₄)を開始させる。

Y₂以下の水平電極上の発光素子については、それぞれ1Hずつの遅れたタイミングでY₁と同

様の操作が行なわれる。

以上述べた駆動装置の構成並に動作原理によりメモリ型表示パネルの輝度階調付き画像表示が効率よく行なえるようになったが、このまゝでは画面の輝度を制御することができない。というのは、前述駆動装置用いられている消灯信号発生回路9は、第3図に示すように、使用するパネルの発光素子の特性に応じて消灯を確実に行なわせるための消灯信号幅を定める幅指定回路14と、各水平電極(Y₁~Y₁₀)に対応したタイミングの消灯信号ep(ep₁~ep₁₀)を分配するシフトレジスタ15のみから構成されていた。一方入力パルスは第1図に示されたタイミングパルス発生回路13の中で、消灯パルスの時刻の基準となる信号eb₁、eb₂、eb₃を論理和回路を通して得られた消灯基準信号eb₀と、シフトレジスタ15を駆動するクロックパルスCPとなる水平同期信号HDであった。これら入力パルスと消灯信号発生回路9から出力される消灯信号epとのタイミング関係は第4図に示すようになっていて、

各水平電極に対応する消灯信号ep₁~ep₁₀はその時刻が完全にHDに同期化されており発光期間の時間幅を制御する機能はなかった。

本発明では、第1図に示した駆動装置の消灯信号発生回路9に改良を加え、各ビット単位に対応する表示発光期間を適当な比率で増減できるようにし、表示画像の輝度階調性を損なうことなく輝度制御を可能ならしめた。

以下本発明の輝度制御手段を詳細に説明する。

第5図は本発明の動作原理説明図である。いま、符号化映像信号の第1、第2および第3ビットに対応する発光期間をそれぞれDP1、DP2およびDP3とすると、消灯パルスの時刻をそれぞれΔDP1、ΔDP2およびΔDP3だけ増減すれば、発光輝度は

$$L_0 \cdot (\Delta DP1 + \Delta DP2 + \Delta DP3)$$

増減する。L₀は単位時間当りの発光輝度である。

ここで、各消灯パルス時刻の変化幅を、

$$\Delta DP1 = K \cdot DP1$$

$$\Delta DP2 = K \cdot DP2$$

$$4DP_1 = K \cdot DP_3$$

のように設定すれば各ビット間の輝度比率は不変である。Kは定数である。

なお、消灯パルスの時間を固定して、点灯パルスの時刻を変化させても同様の操作が可能である。

次に実施例によって本発明を詳細に説明する。

実施例1

第6図は本発明の第1の実施例を示す図でメモリ駆動表示パネル駆動装置のうち、本発明に関係する消灯信号発生回路9の部分の回路構成である。また第7図はこの第6図に示された回路部分の主な信号のタイミング図である。先ず第6図の回路構成を説明する。

タイミングパルス発生回路13(第1図参照)で発生している消灯パルスの時刻の基準となる信号 eb_1 、 eb_2 、 eb_3 を入力して各発光期間 DP_1 、 DP_2 、 DP_3 の時間幅に対応した消灯基準幅変調信号 eb'_1 、 eb'_2 、 eb'_3 を出力する幅変調回路16と、この消灯基準幅変調信号 eb'_1 、 eb'_2 、 eb'_3 の各々を三角波に変換するための積分回路

17、これら三角波に直流バイアス電圧 V_B を与えるためのバイアス電源回路18、三角波を矩形波に整形するためのシュミットトリガ回路19、第1、第2、第3ビットの各々に対応する3種類の矩形波を1本の矩形波消灯信号出力として取り出すための論理和ゲート回路20、矩形波の時刻をクロックパルスCPに同期化するためのフリップフロップ回路21、消灯信号の幅を指定するための幅指定回路14、各水平電極($Y_1 \sim Y_{10}$)に対応したタイミングの消灯信号を分配するためのシフトレジスタ15からなる。

なお、本実施例の回路構成においては、上記積分回路17は抵抗 R_1 、 R_2 、 R_3 にコンデンサ C_1 、 C_2 、 C_3 をそれぞれ接続したRC積分回路を用い、幅指定回路14にはコンデンサ C_d と抵抗 R_d からなる積分回路を用いた。その他の回路はいずれも一般に広く用いられているものであるから説明を省略する。

以下この回路の動作を第7図を参照して説明する。

いま基準の状態では、第1、第2および第3ビットに対応する発光期間 DP_1 、 DP_2 、 DP_3 がそれぞれ1H、2H、4Hであるとする。したがってこの状態では点灯パルスの1H後、2H後および4H後に消灯パルスが加わる。この消灯パルスの位置を前後に移動させれば表示輝度を変化させることができる。

消灯基準幅変調信号 eb'_1 、 eb'_2 、 eb'_3 はそれぞれ第1、第2、第3ビットの消灯パルスの基準状態の位置のほぼ中心に設定されている。これらの信号はRCの積分回路17に加わるので、シュミットトリガ回路19-1、19-2、19-3の入力端での波形はCRの充放電波形となる。コンデンサ C_1 、 C_2 、 C_3 の一方の端子に共通に接続されたバイアス電源回路18はこの充放電波形に直流バイアス電圧 V_B を与える。 V_B を増減すると、充放電波形が立上り始めてからシュミットトリガ回路19-1、19-2、19-3の閾電圧 V_{TH} に達するまでの時間が変化する。 V_B を V_{TH} に近づける(V_B を上げる)とその時間

は短くなり過ぎる(V_B を下げる)と長くなる。このとき時間変化の割合は充放電波形の傾きに比例するので、時定数 C_1R_1 、 C_2R_2 、 C_3R_3 の比率を1:2:4に設定すれば、第1、第2、第3ビットに対応する時間変化もほぼ1:2:4になる。すなわち、シュミットトリガ回路19で整形され信号の前後が消灯信号の位置に対応する。

シュミットトリガ回路19で整形された各ビット毎の信号は論理和ゲート回路20で1系列の信号にまとめられ、さらにフリップフロップ回路21でクロックパルスCPとの同期がとられる。消灯信号はCPの周期を1単位として移動することになる。この例ではCPの周期は1Hの $\frac{1}{3}$ である。

フリップフロップ回路21の出力は幅指定回路14の C_d 、 R_d で積分されて前後だけが取り出され、シフトレジスタ15の入力信号になる。シフトレジスタ15は各Y電極に対応する消灯信号 $ep_1 \sim ep_{10}$ を発生する。消灯信号 ep の時刻は隣接Y電極間で1Hだけ遅延させる必要があるが、

手訂正

2字加入
/ 号訂正

クロックパルスCPの周期は $\frac{1}{m}H$ であるから、シフトレジスタ15の隣接出力間には3ビットの遅延容量が必要である。一般にCPの周期を $\frac{1}{m}H$ (m は正の整数)とすると、Y電極1本当りの遅延容量は m ビットになる。 m を大きくすると微細な輝度調整ができる一方、シフトレジスタ15のメモリ容量は増大する。

上の実施例で、充放電波形を積分回路17のR、Cでつくっていたが、Rを定電流素子で置き換えれば、各ビット間の時間変化比率はより正確になる。この場合は3つの定電流素子の出力電流を1:2:4の比率で設定する。定電流素子としては定電流ダイオード、トランジスタのエミッタホロウ接続などが考えられる。

また、幅指定回路14に用いた C_1 、 R_1 の積分回路をCPの周期よりも小さい幅のパルスが発生する単安定マルチバイブレータで置き換えれば動作は更に安定する。

以上述べたようにバイアス電源回路18のバイアス電圧 V_B を変えることにより、輝度増調特性

に影響を及ぼすことなく、メモリ型表示パネルの表示輝度を変化させることができる。

実施例 2

カラー画像を表示するメモリ型表示パネルの発光色配列が第8図に示すように、横ストライプ状であれば、第6図の回路を3系統設けることにより、カラー画像の白バランス調整を行なうことができる。

第9図は本発明の第2の実施例を示す要部回路構成図である。

すなわち、積分回路以下シフトレジスタまでの回路を3系統設け、それぞれを緑(G)、青(B)、赤(R)の発光素子が逐なるY電極群に対応させる。バイアス回路22は、¹/₂バイアス電源回路18と、U、B、Rの各系統に対応するポテンシヨメータ VR_0 、 VR_B 、 VR_R と、消灯基準幅変調信号によるバイアス電圧の変動を除去するために必要に応じて挿入されるバイパスコンデンサで構成されている。各系統のバイアス電圧(V_{B0} 、 V_{BB} 、 V_{BR})は、 VR_0 、 VR_B 、 VR_R によ

て、独立的变化させられるので、G、B、Rの各輝度も、独立的变化する。したがって、G、B、R間の表示輝度比率を自由に定めることができる。すなわち、白バランス調整が可能である。

また、バイアス電源回路18によってバイアス電圧を変えると、各系統のバイアス電圧は一定比率のまま変わるので、白バランスに影響を及ぼすことなく、カラー画像の輝度調整を行なうことができる。

以上述べたように、本発明の輝度調整回路を用いれば、輝度増調特性を損なうことなく、表示輝度および白バランスの調整を行なうことができるので、メモリ型表示パネルでの増調画像表示に極めて有効な手段である。

なお、実施例の説明においても簡単のために3ビットの符号映像信号について述べたが、量子化単位数が増えれば映像信号でも本発明が適用可能であることは言うまでもない。また、本発明の実施例の説明では発光期間を増減を消灯パルス時刻を推移させて行なう場合について述べたが、消

灯パルス時刻を固定し、点灯パルス時刻を推移させても本実施例とまったく同じ効果を生むことができ、これも本発明の範囲に含まれる。

図面の簡単な説明

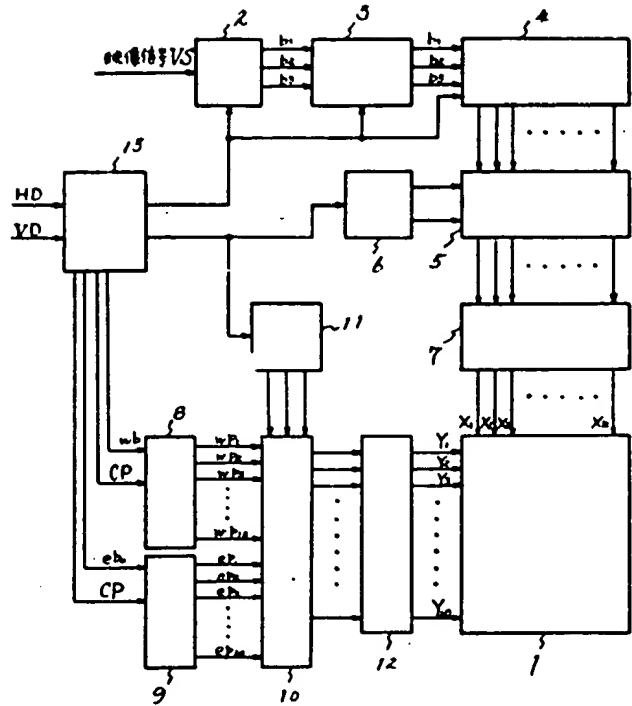
第1図はメモリ型表示パネルの増調付与駆動装置の主要構成部分ブロック図、第2図は輝度増調表示の原理説明図、第3図は従来の消灯信号発生回路の構成を示す回路図、第4図は第3図の回路における入・出力信号のタイミング図、第5図は本発明の輝度制御の原理説明図、第6図は本発明の一実施例の輝度調整回路の要部回路構成図、第7図は第6図の回路における主要信号のタイミング図、第8図は第2の実施例の適用を可能とするメモリ型カラー表示パネルの発光色配列を示す図、第9図は第2の実施例の主要部分回路構成図である。

- 1…メモリ型表示パネル、2…A-D変換回路、
- 3…遅延回路、4…直並列変換回路、
- 5…Xマルチプレクサ、6…X保持、点灯波形発生器、7…増幅器、8…Y点灯タイミングパ

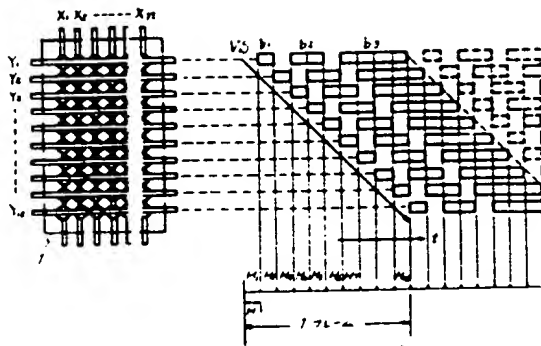
ルス発生器、9-消灯信号発生回路、10-Y
マルチプレクサ、11-Y保持・点灯・消灯波
形発生器、12-増幅器、13-タイミングパ
ルス発生回路、14幅指定回路、15-シフト
レジスタ、16-幅変換回路、17-積分回路、
18-バイアス電源回路、19-シユミット
リガ回路、20-論理和ゲート回路、21-フ
リップフロップ回路、22-バイアス回路。

代理人弁理士 薄 田 利 幸

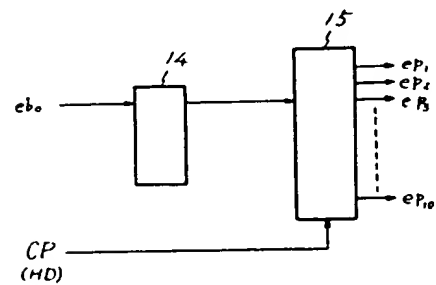
第 1 図



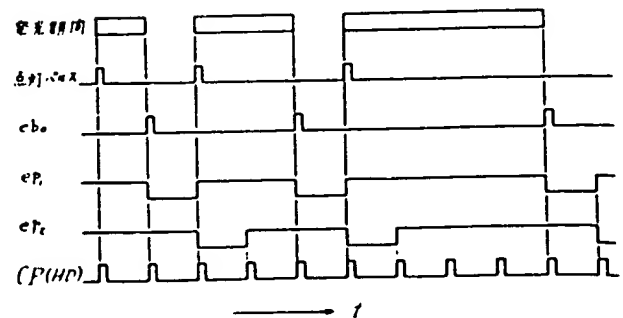
第 2 図



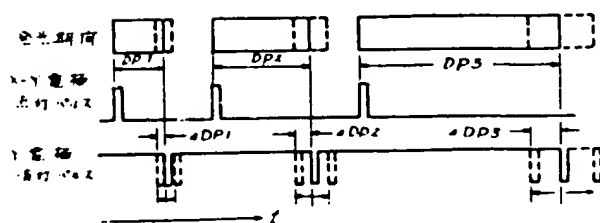
第 3 図



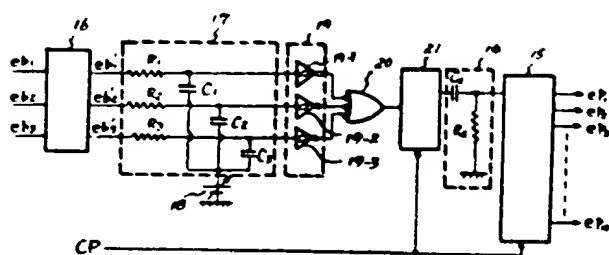
第 4 図



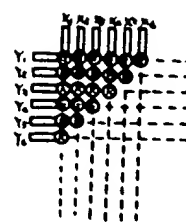
第 5 図



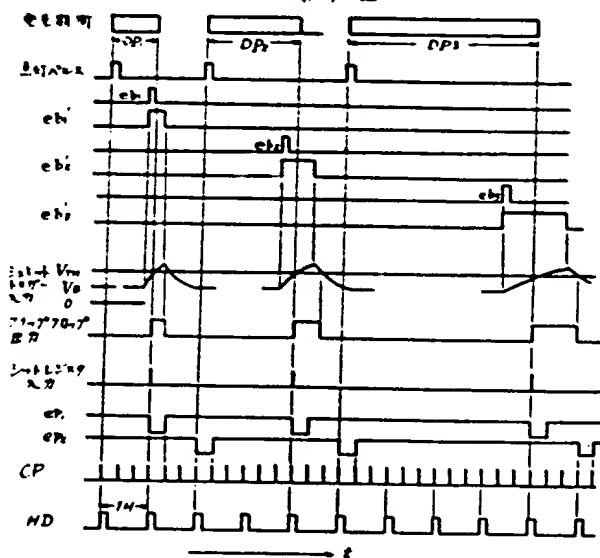
第 6 図



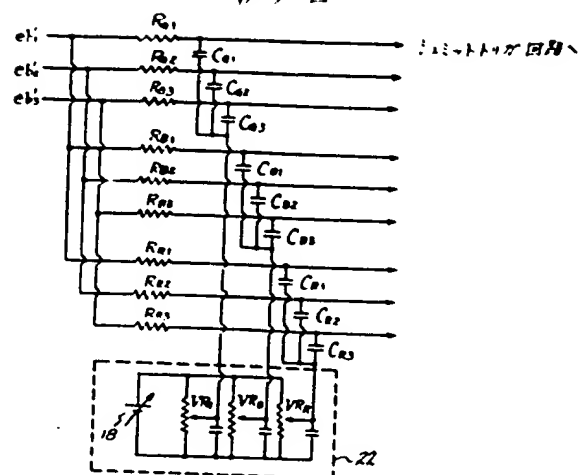
第 8 図



第 7 図



第 9 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.